





【图4】 Fig. 4 Lay out d'ement region Provisionally arrange bump 素子領域のレイアウト <del>バンプの仮配置</del> **-S2** No 各バンプの下層に最上層配線 <del>のエッジがあるか否か</del> beneath each bump? Yes -Pertinent
uppermost layer
wiring belongs
to the same
node as
pertinent bump? **-S4** 当該最上層配線が当該バンプと No <del>同一ノードであるか否</del>か Yes **S5 S6** Rearrange bump <del>バンプサイズを</del> バンプを再配置 リサイズ Completion of designing -設計完了

